



(19)

(11) Publication number: 2000188293 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 11360185

(51) Intl. Cl.: H01L 21/3205 H01L 21/28 H01L 21/304

(22) Application date: 20.12.99

(30) Priority: 18.12.9827.09.99 USUS 98
11296399 406383

(71) Applicant: TEXAS INSTR INC <TI>

(43) Date of application publication: 04.07.00

(72) Inventor: ALWIN J TSUAO
GILLESPIE PAUL M

(84) Designated contracting states:

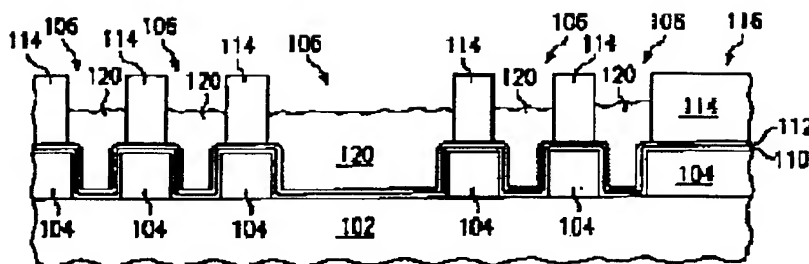
(74) Representative:

(54) METHOD FOR OPTIMIZING CHEMICAL-MECHANICAL POLISHING OF COPPER IN COPPER INTERCONNECTING PROCESS FOR INTEGRATED CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for forming an improved copper interconnecting line.

SOLUTION: A method for forming copper interconnecting line uses a damascene process. After a copper seed layer 112 is formed, a pattern 114 which blocks the formation of copper in a non-interconnecting area is formed before the formation of a copper layer 120. Then the copper layer 120 is formed and the pattern 114 is removed. In addition, the exposed seed layer 112 and a barrier layer 110 underlying the layer 112 are removed. Finally, the copper layer 120 is subject to chemical-mechanical polishing.



COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-188293

(P2000-188293A)

(43) 公開日 平成12年7月4日 (2000.7.4)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テマコード* (参考) |
|---------------------------|-------|---------------|-------------|
| H 0 1 L 21/3205 | | H 0 1 L 21/88 | K |
| 21/28 | 3 0 1 | 21/28 | 3 0 1 R |
| 21/304 | 6 2 2 | 21/304 | 6 2 2 |
| | | 21/88 | M |

審査請求 未請求 請求項の数 1 O L (全 5 頁)

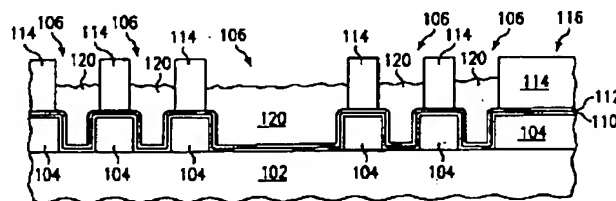
| | | | |
|--------------|----------------------------|----------|---|
| (21) 出願番号 | 特願平11-360185 | (71) 出願人 | 590000879 テキサス インストルメンツ インコーポ レイテッド アメリカ合衆国テキサス州ダラス, ノース セントラルエクスプレスウェイ 13500 |
| (22) 出願日 | 平成11年12月20日 (1999. 12. 20) | (72) 発明者 | アルウィン ジェイ ツァオ アメリカ合衆国 テキサス州 75044 ガ ーランド バーム デザート 701 |
| (31) 優先権主張番号 | 6 0 / 1 1 2 9 6 3 | (72) 発明者 | ポール エム ギレスピー アメリカ合衆国 テキサス州 75092 ア ーレン ハーヴェスト マウンテン コー ト 610 |
| (32) 優先日 | 平成10年12月18日 (1998. 12. 18) | (74) 代理人 | 100059959 弁理士 中村 稔 (外 9 名) |
| (33) 優先権主張国 | 米国 (US) | | |
| (31) 優先権主張番号 | 0 9 / 4 0 6 3 8 3 | | |
| (32) 優先日 | 平成11年9月27日 (1999. 9. 27) | | |
| (33) 優先権主張国 | 米国 (US) | | |

(54) 【発明の名称】 集積回路の銅相互結線プロセスにおいて銅の化学機械的研磨を最適化する方法

(57) 【要約】

【課題】 改善された銅相互接続線形成方法。

【解決手段】 ダマシンプロセスを使用する銅相互接続線を形成する方法。銅シード層(112)の形成後で銅層(120)の形成前に、非相互接続領域に銅が形成されないようにブロックするパターン(114)が形成される。次に、銅層(120)が形成され、パターン(114)が除去される。露出したシード層(112)とその下のバリヤー層(110)が除去される。最後に、銅層(120)が化学機械的研磨される。



【特許請求の範囲】

【請求項1】 集積回路を形成する方法において、半導体本体上に誘電体層を形成し、前記誘電体層に複数のトレンチをエッチングし、前記誘電体層の上に、前記トレンチを露出させるパターン層を形成し、前記パターン層を使用して前記トレンチ内に銅層を開成し、前記パターン層を除去し、前記銅層を化学機械的に研磨するステップを備えることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一般に集積回路用の銅相互接続層の分野に関し、特に銅ダマシンプロセスにおける銅の化学機械的研磨に関する。

【0002】

【従来の技術】 集積回路の密度がより高くなるにつれて、トランジスタと集積回路の他のデバイスを接続する相互接続層の幅が減少する。幅が減少すると、抵抗は高くなる。そのため、多くの会社は、従来のアルミニウム相互接続から銅相互接続へ切替えようとしている。残念なことに、銅は、半導体プロセスの中でエッチングするのが非常に難しい。そのため、銅相互接続を形成するためダマシンプロセスが提案された。

【0003】 一般的なダマシンプロセスは、図1Aに示すように、第1に半導体本体10上に中間レベル誘電体12を形成する。次に図1Bに示すように、中間レベル誘電体12を、パターン化しエッチングして、相互接続線を所望する領域14から誘電体材料を除去する。図1Cを見ると、次に誘電体12と誘電体を除去した領域14を含む構造の上に、バリアー層16を堆積する。次に、バリアー層16の上に銅シード層18を形成する。次に図1Dに示すように、例えば電気めっきプロセスを使用して銅シード層18から銅層20を形成する。次に図1Eに示すように、化学機械的研磨(CMP)を使用して、過剰な銅を除去し、銅層20を中間レベル誘電体12の頂部と同一平面にする。残念なことに、現在の銅CMPプロセスには、幾つかの欠点がある。CMPは、時間のかかるプロセスである。又、銅CMPパッドは、速く摩耗する傾向がある。CMPプロセスの間、広い金属線が皿状に窪む(端部より中央部でより多い材料が除去される)中間レベル誘電体12の酸化物の腐食が問題である。それゆえ、銅相互接続線を形成する改善された方法の必要性がある。

【0004】

【発明が解決しようとする課題】 本発明の目的は、上述した問題を解決することである。

【0005】

【課題を解決するための手段】 銅相互接続線を形成する改善された方法が開示される。ダマシンプロセスを使用

する。しかし、銅シード層の形成後銅層の開成前に、非相互接続領域に銅の開成をブロックするパターンが形成される。次に、銅層が開成され、パターンが除去される。露出したシード層とその下のバリアー層が除去される。最後に、銅が化学機械的研磨(CMP)される。本発明の利点は、CMPの間に除去される銅材料が少ない銅相互接続を形成する方法を提供し、それによりサイクルタイムとCMPパッドの寿命を改善することである。本発明の他の目的と利点は、添付図面と共に次の本発明の詳細な説明を参照すれば、当業者には明らかであろう。

【0006】

【発明の実施の形態及び実施例】 本発明を集積回路用銅相互接続層を製造するダマシンプロセスに関連して説明する。本発明は、研磨除去する必要がある銅金属及び/又はバリアー材料の総量を減少させることにより、銅CMPプロセスを最適化する。更に本発明により、銅CMPプロセスの前に、必要のない非相互接続領域の銅シード層とバリアー層を除去することが出来る。別のパターンレベルを使用して、非相互接続領域への銅堆積をブロックする。このパターンレベルは、標準銅ダマシンプロセスの誘電性トレンチを作るのに使用するパターンから抽出することが出来る。図2A~2Fを参照して、本発明の実施例を実行するプロセスを記述する。半導体本体102に、誘電体層を形成する。トランジスタ等の半導体デバイスが、半導体本体102に形成されるであろう。本発明は第1又はそれに続く任意の金属相互接続層にも適用することが出来る。もし、それが第1の相互接続層であれば、誘電体層104はPMD(ポリ金属誘電体)といわれる。それが次の相互接続層であれば、誘電体層104はILD(中間レベル誘電体)といわれる。

【0007】 誘電体層104は、業界で知られている好適な誘電体材料(又は誘電体材料の組合わせ)からなる。例としては、二酸化珪素等の酸化物、FSG(フッ素をドーブした珪酸塩ガラス)と、他の低誘電定数の材料がある。図2Aを参照すると、誘電体層104の相互接続線又は構造が所望される領域に、トレンチ106がエッチングされる。このエッチングは、非相互接続領域をマスクするため、誘電体トレンチパターン108を使用する。エッチング後、誘電体トレンチパターン108は除去される。次に図2Bに示すように、1つ又はそれ以上のバリアー層110が堆積される。銅に好適なバリアー材料は、業界で知られていて、Ta、Ta₂N、Ta₂N₂O₅、TiN、W₂N、Ta-Si-N等がある。バリアー層110を堆積した後、銅シード層112が堆積される。これらの層は、好ましい厚さとすることが出来る。

【0008】 図2Cを参照すると、銅シード層112の上にブロッキング/リフトオフパターン114が形成される。ブロッキング/リフトオフパターン114は、誘電体トレンチパターン108から抽出され、フォトリソ等感光

性材料が好ましい。パターン114を使用して、次の非相互接続領域における銅の形成をブロックする。一般には、パターン114は誘電体トレンチ106がないところは全てカバーすることを求められる。図2Cに示すように、パターン114のアライメント不良でトレンチ106領域に入るのを防ぐ/防止するため、ブロッキング/リフトオフパターン114の大きさを、パターンをトレンチ106の狭部から引っ込むように調節することが出来る。ステップパーのアライメント能力が比較的低い用途では、この方法はより広い最小でないピットの線（例えば、領域116）にも適用することが出来る。

【0009】図2Dに示すように、パターン114を適所において、銅堆積プロセスを行う。パターン114により、銅120は相互接続領域のみに形成される。一般には、銅120はトレンチより0.5 μ mのオーターだけ厚く堆積される。こうすると、使用し除去する必要がある銅の量が、著しく減少する。業界で幾つかの銅堆積方法が知られている。例えば、電気めっき、無電解めっきである。PVD（物理蒸着）も使用することが出来る。しかし、PVDでは、ブロッキング/リフトオフパターン114の上にも、銅が形成される。そのため、パターン114から銅を除去するため、リフトオフ技術が使用される。

【0010】図2Eを参照すると、ブロッキング/リフトオフパターン114が除去される。パターンは、適当な溶剤洗浄及び/又は光プラズマ灰化により除去することが出来る。光プラズマ灰化を使用できるのは、「廃棄可能」銅（誘電体層104上の銅）の灰化は、問題とならないからである。この点で、図2Fに示すように、銅120は、非相互接続領域の銅シード層112とバリアー層110を除去する際のマスクとして使用することが出来る。銅120の「廃棄可能」銅は、次のCMPプロセスで除去されるので、薄い銅シード層112とバリアー層110を除去する際のマスクとして使用することが出来る。シード層112が銅であれば、薄いHNO₃:H₂O混合物によって、又は乾式プラズマRIEエッチングにより除去することが出来る。次に、適当な湿式エッチングによりバリアー層110を除去することが出来る。（Ta₂N又はTa₂N₂は、H₂SO₄:HF混合物により除去することが出来、TaはHF:H₂Oにより除去することが出来る。）他のバリアー材料を使用するときは、業界で知られる他のエッチングにより除去することが出来る。バリアー層110の材料は、Cu CMP研磨プロセスに異なる選択性を有し、CMP研磨が遅くなる場合がある。Cu CMPの前にバリアー層110の露出した部分を除去することにより、サイクルタイムを改善することが出来る。

【0011】最後に、図2Gに示すように、銅CMPプロセスが行われる。上述したプロセスは、Cu CMP後のプロセスを含む現行の銅ダマシンプロセスと置き換えることが出来る。しかし、このプロセスは、CMPの間に除去しなければならない銅の量を著しく減少させ

る。除去する銅の量を減らすと、CMPの処理時間が短くなり、Cu CMP研磨パッドの摩耗が減少する。さらに、CMPの間の（誘電体層104の）酸化腐食と、広い銅金属線が細状に窪む量もまた減少する。必要により次に、次の金属相互接続層を形成するため、上述のプロセスを繰り返すことが出来る。

【0012】本発明を例示の実施例について記述したが、この記述は本発明を制限することを意図していない。例示の実施例の色々な修正と組み合わせ、及び本発明の他の実施例は、この明細書を参照すれば当業者には明らかであろう。それゆえ、特許請求の範囲は、このような修正又は実施例を包含する。

【0013】以上の記載に関連して、以下の各項を開示する。

1. 集積回路を形成する方法において、半導体本体上に誘電体層を形成し、前記誘電体層に複数のトレンチをエッチングし、前記誘電体層の上に、前記トレンチを露出させるパターン層を形成し、前記パターン層を使用して前記トレンチ内に銅層を形成し、前記パターン層を除去し、前記銅層を化学機械的に研磨するステップを備えることを特徴とする方法。

【0014】2. 前記誘電体層と前記半導体本体上にバリアー層を形成し、前記パターン層を形成する前に、前記トレンチ内を含んで前記バリアー層の上に銅シード層を形成し、前記パターン層の除去ステップより後で、前記化学機械的研磨ステップより前に、前記バリアー層と前記銅シード層の一部を除去するステップを備える前記第1項に記載した方法。

3. 前記バリアー層と前記銅シード層の一部を除去する前記ステップは、前記銅層をマスクとして使用する前記第2項に記載した方法。

【0015】4. 前記銅層を形成する前記ステップは、電気めっきからなる前記第2項に記載した方法。

5. 前記電気めっきプロセスは、狭いピッチの領域で拡散律速されるように調整される前記第4項に記載した方法。

6. 前記銅層を形成する前記ステップは、無電解めっきからなる前記第2項に記載した方法。

7. 前記無電解めっきは、狭いピッチの領域で拡散律速されるように調整される前記第6項に記載した方法。

【0016】8. 前記銅層を形成する前記ステップは、物理蒸着からなる前記第2項に記載した方法。

9. 前記パターンは、前記複数のトレンチをエッチングするのに使用した誘電体トレンチパターンから抽出される前記第2項に記載した方法。

【0017】10. ダマシンプロセスを使用する銅相互接続線を形成する方法。銅シード層(112)の形成後で銅層(120)の形成前に、非相互接続領域に銅が形成されないようにブロックするパターン(114)が形成される。次に、銅層(120)が形成され、パターン(114)が除去され

る。露出したシード層(112)とその下のバリヤー層(110)が除去される。最後に、銅層(120)が化学機械的研磨される。

【図面の簡単な説明】

【図1 A】 従来技術の銅タマシンプロセスの断面図。

【図1 B】 従来技術の銅タマシンプロセスの断面図。

【図1 C】 従来技術の銅タマシンプロセスの断面図。

【図1 D】 従来技術の銅タマシンプロセスの断面図。

【図1 E】 従来技術の銅タマシンプロセスの断面図。

【図2 A】 本発明による銅タマシンプロセスのある段階の断面図。

【図2 B】 本発明による銅タマシンプロセスのある段階の断面図。

【図2 C】 本発明による銅タマシンプロセスのある段階の断面図。

【図2 D】 本発明による銅タマシンプロセスのある段階の断面図。

【図2 E】 本発明による銅タマシンプロセスのある段階の断面図。

【図2 F】 本発明による銅タマシンプロセスのある段階の断面図。

階の断面図。

【図2 G】 本発明による銅タマシンプロセスのある段階の断面図。

【符号の説明】

10 半導体本体

12 誘電体

14 領域

16 バリヤー層

18 銅シード層

20 銅層

102 半導体本体

104 誘電体層

106 トレンチ

108 誘電体トレンチパターン

110 バリヤー層

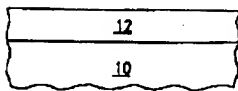
112 銅シード層

114 ブロッキング/リフトオフパターン

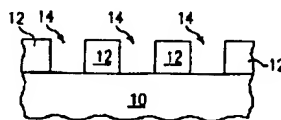
116 領域

120 銅

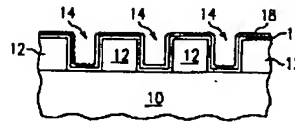
【図1 A】



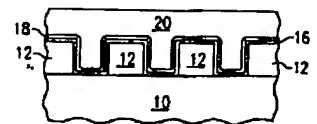
【図1 B】



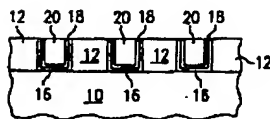
【図1 C】



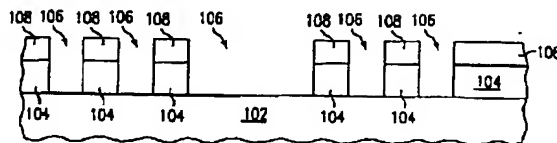
【図1 D】



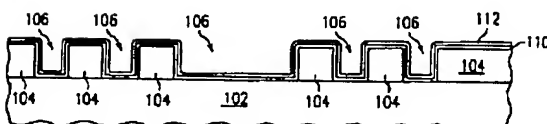
【図1 E】



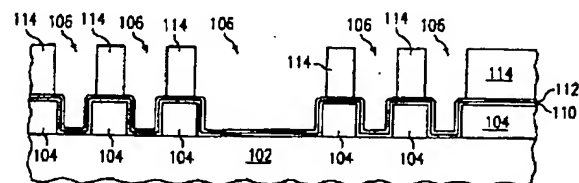
【図2 A】



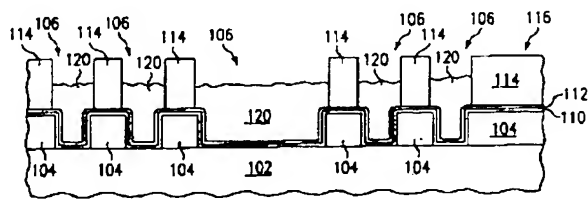
【図2 B】



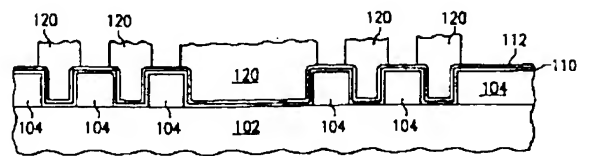
【図2 C】



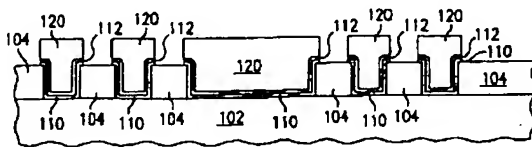
【図2D】



【図2E】



【図2F】



【図2G】

